

马振龙

1996/06 | (+86) 153-1379-9575 | mazhenlong19@mails.ucas.ac.cn | mazhenlong.netlify.app/zh

技能

- 熟悉 Python/C/C++/Verilog/SystemVerilog 等硬件编程语言
- 熟悉 RDMA 网络协议、verbs 编程和 RDMA 网卡架构设计及若干现存问题
- 了解 PCIe 协议基本知识
- 熟练掌握基于 Gem-5 的微架构模拟器开发方法
- 了解芯片功能验证的一般方法和 UVM 验证方法学
- 流畅进行英文文献阅读与写作

教育背景

中国科学院大学 计算机学院 | 中国科学院计算技术研究所 高性能计算机研究中心

北京

全日制博士（在读）| 计算机系统结构 | 导师：孙凝晖 院士

2019年9月 - 至今

- 研究方向：高性能网络；高通量网络；RDMA；服务质量保证 (QoS)
- 2021 年中国科学院大学三好学生
- 2024 年华罗庚奖学金

浙江大学 信息与电子工程学院

杭州

工学学士 | 电子科学与技术

2015年9月 - 2019年6月

- 本科学业总成绩排名 18/119
- 2016 年 - 2017 年学业二等奖学金
- 2019 年信电骄傲荣誉称号

科研成果

csRNA: Connection-Scalable RDMA NIC Architecture in Datacenter Environment

Lake Tahoe, USA

ICCD 2022 | 五作

2022年11月

- 实现乱序处理连接上下文请求，解决队头阻塞从而缓解连接可扩展性问题

Palos: Fair and Flexible Flow Scheduling on RNIC

Wuhan, China

HPCC 2024 | 一作

2024年12月

- 分析并证实 RDMA 性能隔离问题的硬件根源
- 基于 RNIC 硬件实现面向数据量的调度器设计，消除异质化通信场景中的大小流性能干扰现象
- 软硬件协同切分描述符，实现系统管理员和用户两层性能分配

Toward Scalable RDMA through Resource Prefetching

CAL (投稿中) | 一作

- 通过在网卡上进行通信资源预取提高 ICM 缓存命中率，从而提高 RDMA 在大规模通信场景下的性能
- 基于调度器进行资源访问预测，实现通信资源的高精度预取

项目经历

京兆高性能互连网络核心芯片开发

战略性先导科技专项

系统级功能验证总负责人

2020年11月 - 2023年2月

- 网卡芯片支持大连接 (8192 QP)、多连接类型、多操作类型、大数据量、非连续数据通信
- 验证平台模拟 PCIe 以及 Linux 内核驱动 mthca 行为，与硬件 HCR 和 UAR 空间交互
 - 模拟实现 `init_hca`、`create_qp`、`create_mr` 等函数，以提高易用性和测试激励准确度
- 通过内存读写判定功能正确性
- 芯片设计与验证框架已转移至曙光公司，应用于曙光 8000 超级计算机
- 验证框架开源地址：https://github.com/ZhenlongMa/RDMA_NIC_Verification
- 硬件设计开源地址：<https://github.com/ETH-PLUS/Jingzhao>